

Method for forming a self aligned contact in a semiconductor devicePatent Number: US6177320

Publication date: 2001-01-23

Inventor(s): JUNG CHAN-OUK (KR); JUNG CHUL (KR); LEE JAE-GOO (KR); CHO CHANG-HYUN (KR); JEONG HONG-SIK (KR); JEONG SANG-SUP (KR); KANG CHANG-JIN (KR)

Applicant(s):: SAMSUNG ELECTRONICS CO LTD (US)

Requested Patent: DE19860769

Application Number: US19990226961 19990108

Priority Number (s): KR19980000308 19980108; KR19980000309 19980108; KR19980031537 19980803

IPC Classification: H01L21/336

EC Classification: H01L21/60B, H01L21/8242, H01L21/8242B2Equivalents: FR2773417, GB2333179, JP11251557, KR276387, NL1010986, TW392304

Abstract

A self aligned contact pad in a semiconductor device and a method for forming the self aligned contact pad are disclosed. A bit line contact pad and a storage node contact pad are simultaneously formed by using a photoresist layer pattern having a T-shaped opening including at least two contact regions. An etch stopping layer is formed over a semiconductor substrate and over a transistor. An interlayer dielectric layer is then formed over the etch stopping layer. Next, the interlayer dielectric layer is planarized to have a planar top surface. A mask pattern having a T-shaped opening is then formed over the interlayer dielectric layer, exposing the active region and a portion of the inactive region. The interlayer dielectric layer and etch stopping layer are sequentially etched to reveal a top surface of the semiconductor substrate using the mask pattern, thereby forming a self aligned contact opening exposing a top surface of the semiconductor substrate. The mask pattern is then removed. A conductive layer is formed in the self aligned contact opening and over the interlayer dielectric layer. The conductive layer and the interlayer dielectric layer are planarization-etched to reveal a top surface of the gate mask, thereby forming at least two contact pads

Data supplied from the esp@cenet database - I2

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 198 60 769 A 1

⑯ Int. Cl. 6:
H 01 L 21/283
H 01 L 27/108
H 01 L 21/308

⑯ Unionspriorität:

98-00308 08. 01. 98 KR
98-00309 08. 01. 98 KR
98-31537 03. 08. 98 KR

⑯ Anmelder:

Samsung Electronics Co. Ltd., Suwon, Kyungki, KR

⑯ Vertreter:

Kahler, Käck & Fiener, 86899 Landsberg

⑯ Erfinder:

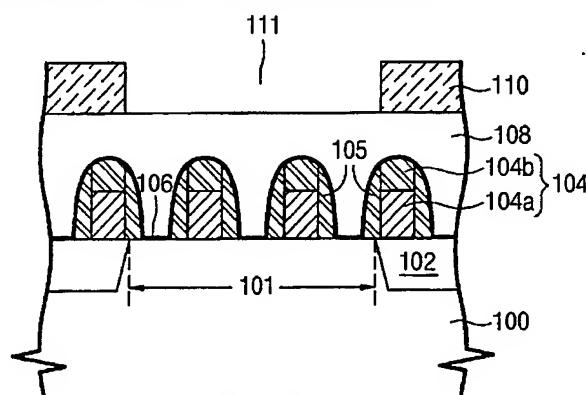
Cho, Chang-Hyun, Seoul/Soul, KR; Jeong, Hong-Sik, Suwon, KR; Lee, Jae-Goo, Seoul/Soul, KR; Kang, Chang-Jin, Suwon, KR; Jeong, Sang-Sup, Suwon, KR; Jung, Chul, Suwon, KR; Jung, Chan-Ouk, Seoul/Soul, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren zur Ausbildung eines selbstopositionierenden Kontakts in einem Halbleiterbauelement

⑯ Es wird eine selbstopositionierende Kontaktstelle in einem Halbleiterbauelement und ein Verfahren zu deren Ausbildung offenbart, wobei eine Bitleitungskontaktstelle und eine Speicherknotenkontaktstelle durch die Verwendung einer Photoresistschicht-Struktur, die einen T-förmigen Öffnungsbereich aufweist, der mindestens zwei Kontaktbereiche einschließt, gleichzeitig ausgebildet werden. Das Verfahren umfaßt Ausbilden einer Ätzstoppschicht (106) über einem Halbleitersubstrat (100) und über einem Transistor, Ausbilden einer dielektrischen Zwischenschicht (108) über der Ätzstoppschicht (106), wobei die dielektrische Zwischenschicht (108) eine planare obere Oberfläche aufweist, Ausbilden einer Maskenstruktur (110) über der dielektrischen Zwischenschicht (108), so daß der aktive Bereich und ein Teil des inaktiven Bereichs freigelegt wird, wobei die Maskenstruktur (110) einen T-förmigen Öffnungsbereich (111) aufweist, aufeinanderfolgendes Ätzen der dielektrischen Zwischenschicht (109) und der Ätzstoppschicht (106) bis zu einer oberen Oberfläche des Halbleitersubstrats (100) unter Verwendung der Maskenstruktur (110), um dadurch eine selbstopositionierende Kontaktöffnung auszubilden, die eine obere Oberfläche des Halbleitersubstrats freilegt, Entfernen der Maskenstruktur (110), Ausbilden einer leitfähigen Schicht in der selbstopositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht und Planarisierungsätzen der leitfähigen Schicht und der dielektrischen ...



DE 198 60 769 A 1

DE 198 60 769 A 1

Beschreibung

Die Erfundung betrifft einen Kontakt in einem Halbleiterbauelement und ein Verfahren zu dessen Ausbildung, insbesondere einen selbstpositionierenden Kontakt und ein Verfahren zu dessen Ausbildung.

In letzter Zeit ist mit dem Fortschritt der Halbleitertechnik ein Trend in Richtung kleinerer Entwurfsregeln für Halbleiterbauelemente, wie z. B. DRAMs mit 1 Gigabit, in dem Umfang fortgeschritten, daß bei der Justierung eines Kontaktsteckers zu einer Halbleiterschicht oder einer Verbindungsschicht, die unter dem Kontaktstecker liegt, die Justierungstoleranz kaum eingehalten werden kann. In DRAMs mit 1 Gbit, die eine Entwurfsregel mit einem Rastermaß von 0,45 oder weniger besitzen, ist der maximal zulässige Linienabstand sehr klein und die Größe der Kontakte muß 0,15 µm oder geringer sein, und somit ist die Erzeugung eines Bitkontakts oder eines Kontakts für einen Speicherknoten unter Verwendung des herkömmlichen Direktkontaktverfahrens nicht so leicht wie es erscheint. Folglich wird für Halbleiterbauelemente unterhalb eines Viertel Millimeters ein Herstellungsverfahren verwendet, das gestattet, daß der Kontaktstecker durch Selbstpositionierung zu einer Halbleiterschicht oder einer Verbindungsschicht, die unter dem Kontaktstecker liegt, ausgebildet wird.

Der Vorteil des selbstpositionierenden Kontakts (hierin nachstehend als "SAC" bezeichnet) besteht darin, daß die Fehljustierungstoleranz während des Photolithographie-Schritts erhöht werden kann und der Kontaktwiderstand verringert werden kann. Aus diesem Grund wurde auf das SAC-Verfahren auf dem Fachgebiet besonderer Wert gelegt.

Da die Strukturgröße jedoch zunehmend kleiner wird, kann die Möglichkeit des Kurzschlusses zwischen dem Kontaktloch und der Gateleitung bestehen. Die Kontaktlöcher eines Bauelements mit hoher Integrationsdichte, wie z. B. eines Speicherbauelements, bekommen zwangsläufig ein hohes Seitenverhältnis, das heißt, eine kleinere Fläche im Vergleich zur Tiefe. Daher tritt während des Schritts der Ausbildung der Kontaktlöcher ein Ätzstopp-Phänomen auf.

Um die vorstehend angeführten Probleme zu lösen, wurde ein Verfahren vorgeschlagen, das eine Kontaktstelle verwendet. Nachstehend wird das herkömmliche Verfahren zur Ausbildung des Kontaktlochs unter Verwendung der SAC-Kontaktstelle mit Bezug auf Fig. 1 bis Fig. 2 beschrieben.

Fig. 1 ist eine Draufsicht, die eine SAC-Kontaktstellenstruktur gemäß dem herkömmlichen Verfahren zeigt, und Fig. 2A bis Fig. 2B sind Ablaufdiagramme, die die Verfahrensschritte zur Ausbildung der SAC-Kontaktstelle zeigen, wobei sie Querschnittsansichten entlang der Linie A-A' von Fig. 1 sind.

Mit Bezug auf Fig. 2A wird zuerst ein Bauelement-Isolationsbereich 3 über einem Halbleitersubstrat 1 ausgebildet, um aktive Bereiche 2 und inaktive Bereiche festzulegen. Der Bauelement-Isolationsbereich 3 kann durch ein beliebiges geeignetes Verfahren, das auf dem Fachgebiet gut bekannt ist, beispielsweise Flachgrabenisolation (STT) und Lokaloxidation von Silizium (LOCOS), ausgebildet werden. Eine Gateoxidschicht (nicht dargestellt) wird durch ein herkömmliches Verfahren, d. h. ein Wärmeoxidationsverfahren, ausgebildet und eine leitende Gateelektrodenschicht und eine isolierende Gatemaskenschicht werden auf die Gateoxidschicht in dieser Reihenfolge laminiert. Die leitende Gateelektrodenschicht wird im allgemeinen mit Polysilizium und Wolframsilizid laminiert, und die isolierende Gatemaskenschicht besteht aus einer Schicht aus Siliziumnitrid (SiN) oder einer Schicht aus Siliziumoxidnitrid (SiON), die bezüglich der nachfolgenden dielektrischen Zwischen-

schicht 6 ein Ätzselektivitätsverhältnis aufweist. Die auf dem Fachgebiet gut bekannte Photolithographie wird auf der leitenden Gateelektrodenschicht und der Gatemaskenschicht durchgeführt, um dadurch eine Gateelektrodenstruktur 4, d. h. eine Gatemaskenschicht 4b und eine Gateelektrode 4a, auszubilden.

Fremdionen mit niedriger Konzentration werden in den aktiven Bereich 2 des Halbleitersubstrats 1 auf beiden Seiten außerhalb der Gateelektrodenstruktur 4 implantiert, um eine Source/Drain-Zone mit niedriger Konzentration für eine LDD-(schwach dotierter Drain)-Struktur auszubilden. Eine Gateabstandsschicht 5 wird an den Seitenwänden der Gateelektrodenstruktur 4 ausgebildet. Die Gateabstandsschicht 5 besitzt ebenfalls ein Ätzselektivitätsverhältnis bezüglich der nachfolgenden dielektrischen Zwischenschicht 6 und besteht im allgemeinen aus einer Siliziumnitrid- oder Siliziumoxidnitrid-Schicht. Anschließend werden Fremdionen mit hoher Konzentration in den aktiven Bereich 2 des Halbleitersubstrats 1 auf beiden Seiten außerhalb der Gateabstandsschicht 5 implantiert, um eine Source/Drain-Zone mit hoher Konzentration und dadurch einen Transistor mit der LDD-Struktur auszubilden.

Die dielektrische Zwischenschicht 6 wird über dem Halbleitersubstrat 1 abgeschieden und eine Photoresiststruktur (nicht dargestellt) für einen selbstpositionierenden Kontakt wird über die dielektrische Zwischenschicht 6 abgeschieden. Die isolierende Zwischenschicht 6 wird unter Verwendung der Photoresiststruktur als Maske geätzt, um dadurch Kontaktlöcher 7a und 7b auszubilden.

Mit Bezug auf Fig. 2B wird die Photoresiststruktur entfernt und die Kontaktlöcher 7a und 7b werden mit einer Schicht aus leitfähigem Material, wie z. B. einem Polysilizium, aufgefüllt. Die Polysiliziumschicht wird dann durch z. B. CMP (chemisch-mechanisches Polieren) oder Rückätzzen planarisiert, um dadurch selbstpositionierende Kontaktstellen 8a und 8b auszubilden, d. h., es werden jeweils eine Bitleitungskontaktstelle 8b und eine Speicherknotenkontaktstelle 8a ausgebildet. In einem Bauelement mit hoher Dichte, das eine Entwurfsregel mit einem Rastermaß von 0,45 oder weniger besitzt, kann es sehr schwierig sein, die Photolithographie durchzuführen, um die Kontaktlöcher 7a und 7b auszubilden, die durch die dielektrische Zwischenschicht 6 mit einer sehr schmalen Breite "W", die in Fig. 2A gezeigt ist, horizontal elektrisch isoliert werden müssen.

Bei einem solchen herkömmlichen Verfahren zur Ausbildung der SAC-Kontaktstelle ist die selbstpositionierende Kontaktstruktur kreisförmig oder ellipsenförmig, wie in Fig. 1 gezeigt, d. h., die Photoresiststruktur weist eine solche kreisförmige oder ellipsenförmige Öffnung auf. Wenn die Strukturgröße des Bauelements kleiner wird, d. h., wenn das Seitenverhältnis des Kontaktlochs hoch wird, verringert sich daher die Fläche, die geätzt werden soll, und die Tiefe des Kontaktlochs nimmt zu. Folglich sinkt während des Schritts des Ätzens der isolierenden Zwischenschicht die Ätzrate und das Reaktionsnebenprodukt kann in einem schwierigen Fall nicht aus dem Kontaktloch ausdiffundieren, so daß die Ätzrate signifikant verringert wird und das Ätzen zum Stillstand kommt, d. h., ein Ätzstopp-Phänomen tritt auf.

Um das Ätzstopp-Phänomen zu beseitigen, muß das Ätzen unter der Bedingung durchgeführt werden, daß die Bildung des Nebenprodukts, wie z. B. Polymer, unterdrückt wird, und die Ätzzeit muß erhöht werden. In Fall einer solchen Ätzbedingung werden jedoch die Gatemaskenschicht und die Seitenwand-Gateabstandsschicht während des Ätzschritts geätzt, wodurch es zu einem Kurzschluß zwischen der SAC-Kontaktstelle und dem Gate kommt.

Für den Zweck der Lösung der vorstehenden Probleme haben Y. Kohyama et al. in dem Artikel mit dem Titel "A

Fully Printable, Self-aligned and Planarized Stacked Capacitor DRAM Cell Technology for 1 Gbit DRAM and Beyond", Symp., über VLSI-Tech., Auswahl aus den Technical Papers, S. 17-18, 1997, ein Verfahren zur Ausbildung der SAC-Kontaktstelle vorgeschlagen, das die Kontaktstruktur verwendet, die das Speicherknotenkontaktloch und das Bitleitungskontaktloch kombiniert.

Bei dieser Erfindung ist die Gate-SAC-Struktur (die die Resistfläche anzeigt) gleich dem aktiven Bereich und ist um ein halbes Rastermaß in Gate-Richtung verschoben. Daher ist die Photoresiststruktur-Fläche so klein, daß die Polymerbildung während des Schritts der Ausbildung des Kontaktlochs sehr gering ist. Folglich wird das Ätzselektivitätsverhältnis der isolierenden Zwischenschicht zur Nitridschicht der Gateabstandsschicht und der Gatemaskenschicht niedrig. Dies geschieht, da die Polymerbildung proportional zur Photoresiststruktur-Fläche ist und das Ätzselektivitätsverhältnis mit der Polymerbildung zunimmt.

Die Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung eines selbstpositionierenden Kontakts und eines Verfahrens zu dessen Ausbildung, die das Ätzstopp-Phänomen verhindern.

Ferner soll ein vollkommen reproduzierbarer selbstpositionierender Kontakt sowie ein Verfahren zur Ausbildung eines selbstpositionierenden Kontakts bereitgestellt werden, das ein gutes Ätzselektivitätsverhältnis während des Schritts des Äzens des selbstpositionierenden Kontakts aufweist.

Die vorliegende Erfindung stellt ein verbessertes Verfahren zur Ausbildung eines selbstpositionierenden Kontakts in einem Halbleitersubstrat bereit. Ein Schlüsselmerkmal der Erfindung ist die Ausbildung einer Maske für den selbstpositionierenden Kontakt, die den aktiven Bereich und einen Teil des inaktiven Bereichs durch eine T-förmige Öffnung freilegt.

Das Verfahren zur Ausbildung des selbstpositionierenden Kontakts in einem Halbleiterbauelement umfaßt das Ausbilden von Gatestapeln, die über einen Halbleiter voneinander beabstandet sind. Der Gatestapel besteht aus einer Gateelektrode, einer darauf ausgebildeten Gatemaske aus einer Nitridschicht und einer Seitenwand-Gateabstandsschicht aus einer Nitridschicht. Wie gut bekannt ist, wurde zwischen der Gateelektrode und dem Halbleitersubstrat eine Gateoxidsschicht ausgebildet, und ein aktiver Bereich und ein inaktiver Bereich werden durch eine Feldoxidschicht über dem Halbleitersubstrat festgelegt. Eine Ätzstoppsschicht gegen das SAC-Ätzen wird in dem Zwischenraum zwischen den Gatestapeln und über dem Gatestapel mit einer Dicke von etwa 100 Å ausgebildet. Die Ätzstoppsschicht besteht aus einem Isolatormaterial, wie z. B. einer Nitridschicht, die ein Ätzselektivitätsverhältnis zu einer nachfolgenden dielektrischen Zwischenschicht aus einer Oxidschicht aufweist. Die dielektrische Zwischenschicht wird über der Ätzstoppsschicht mit einer Dicke von etwa 3000 Å bis 9000 Å ausgebildet, um den Gatestapel ausreichend zu bedecken. Die dielektrische Zwischenschicht wird dann planarisiert, um die Toleranz des Photolithographieprozesses zu erhöhen. Alternativ wird der Planarisierungsprozeß bis zu einer oberen Oberfläche des Gatestapels hinab durchgeführt, und dann wird eine weitere dielektrische Zwischenschicht über der resultierenden Struktur mit einer vorbestimmten Dicke ausgebildet.

Die nächste Prozeßsequenz ist für diese Erfindung entscheidend. Eine Maskenstruktur, die vorzugsweise aus einer Photoresistschicht besteht, wird so über der planaren dielektrischen Zwischenschicht ausgebildet, daß ein aktiver Bereich und ein Teil eines inaktiven Bereichs freigelegt wird, und die Maskenstruktur weist einen T-förmigen Öffnungsbereich auf. Die Maskenstruktur legt nämlich einen Bitlei-

tungskontaktbereich und einen Speicherknotenkontaktbereich durch eine Öffnung frei. Folglich kann das bei dem Verfahren des Standes der Technik angetroffene Ätzstopp-Phänomen vermieden werden, da der Öffnungsbereich durch die Maskenstruktur relativ groß ist. Andererseits ist der Öffnungsbereich relativ klein im Vergleich zu jenem von Y. Kohyama et al., so daß das Selektivitätsäten für den selbstpositionierenden Kontakt gut ist.

Die dielektrische Zwischenschicht und die Ätzstoppsschicht werden unter Verwendung der Maskenstruktur geätzt, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden, die eine obere Oberfläche des Halbleitersubstrats zwischen den Gatestapeln freilegt. Nachdem die Maskenstruktur durch ein herkömmliches Verfahren entfernt ist, wird eine leitfähige Schicht, die vorzugsweise aus einer Polysiliziumschicht besteht, in der selbstpositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht mit einer Dicke von etwa 3000 Å bis 7000 Å ausgebildet. Das Planarisierungsäten, wie z. B. CMP oder Rückätzken, wird auf der leitfähigen Schicht und der dielektrischen Zwischenschicht durchgeführt, bis eine obere Oberfläche des Gatestapels, d. h. der Gatemaske aus der Nitridschicht, freigelegt ist, um dadurch Kontaktstellen auszubilden, d. h. jeweils eine Bitleitungskontaktstelle und eine Speicherknotenkontaktstelle auszubilden.

Bei dem Ätzschritt zur Ausbildung der selbstpositionierenden Kontaktöffnung kann die Gatemaske verlorengehen, und folglich besteht die Möglichkeit der Entstehung einer Mehrfachader. Daher kann Naßätzen oder Trockenätzen auf einer oberen Oberfläche der Kontaktstellen weiter durchgeführt werden, um die Mehrfachader zu entfernen und dadurch eine Brücke zwischen der Bitleitungskontaktstelle und der Speicherknotenkontaktstelle zu verhindern. Das Naßätzen kann SC1 (ein Gemisch aus NH_3 , H_2O_2 und entionisiertem Wasser) verwenden und das Trockenätzen kann eine auf Chlor basierende Gaschemie verwenden.

Bei einer weiteren Ausführungsform der Erfindung umfaßt das Verfahren das Ausbilden von Gatestapeln, die über einen Halbleiter voneinander beabstandet sind. Der Gatestapel besteht aus einer Gateelektrode, einer darauf ausgebildeten Gatemaske aus einer Nitridschicht und einer Seitenwand-Gateabstandsschicht aus einer Nitridschicht. Wie gut bekannt ist, wurde zwischen der Gateelektrode und dem Halbleitersubstrat eine Gateoxidsschicht ausgebildet, und ein aktiver Bereich und ein inaktiver Bereich werden durch eine Feldoxidschicht über dem Halbleitersubstrat festgelegt. Eine Ätzstoppsschicht gegen das SAC-Ätzen wird in dem Zwischenraum zwischen den Gatestapeln und über dem Gatestapel mit einer Dicke von etwa 100 Å ausgebildet. Die Ätzstoppsschicht besteht aus einem Isolatormaterial, wie z. B. einer Nitridschicht, die ein Ätzselektivitätsverhältnis zu einer nachfolgenden dielektrischen Zwischenschicht aus einer Oxidschicht aufweist. Die dielektrische Zwischenschicht wird über der Ätzstoppsschicht mit einer Dicke von etwa 3000 Å bis 9000 Å ausgebildet, um den Gatestapel ausreichend zu bedecken. Die dielektrische Zwischenschicht wird dann planarisiert, um die Toleranz des Photolithographieprozesses zu erhöhen. Alternativ wird der Planarisierungsprozeß bis zu einer oberen Oberfläche des Gatestapels hinab durchgeführt, und dann wird eine weitere dielektrische Zwischenschicht über der resultierenden Struktur mit einer vorbestimmten Dicke ausgebildet.

Eine Maskenstruktur, die vorzugsweise aus einer Photoresistschicht besteht, wird so über der planaren dielektrischen Zwischenschicht ausgebildet, daß ein aktiver Bereich und ein Teil eines inaktiven Bereichs freigelegt wird, und die Maskenstruktur weist einen T-förmigen Öffnungsbereich auf. Die Maskenstruktur legt nämlich einen Bitlei-

tungskontaktbereich und einen Speicherknotenkontaktbereich durch eine Öffnung frei. Folglich kann das bei dem Verfahren des Standes der Technik angetroffene Ätzstopp-Phänomen vermieden werden, da der Öffnungsbereich durch die Maskenstruktur relativ groß ist. Andererseits ist der Öffnungsbereich relativ klein im Vergleich zu jenem von Y. Kohyama et al., so daß das Selektivitätsätzen für den selbstpositionierenden Kontakt gut ist.

Die dielektrische Zwischenschicht wird unter Verwendung der Maskenstruktur geätzt, bis die Ätzstoppsschicht zwischen den Gatestapeln freigelegt ist. Anschließend wird die Maskenstruktur entfernt. Die nächste Prozeßsequenz ist für dieses Verfahren entscheidend. Eine Materialschicht, die aus einer Nitridschicht besteht, wird über der resultierenden Struktur abgeschieden. Die Abscheidung der Materialschicht wird so durchgeführt, daß sie eine schlechte Stufenüberdeckung aufweist. Die Materialschicht wird nämlich auf der dielektrischen Zwischenschicht und einer oberen Oberfläche des Gatestapels in einer größeren Menge abgeschieden als auf dem Bodenteil zwischen den Gatestapeln, d. h. auf der Ätzstoppsschicht. Die Materialschicht wird so abgeschieden, daß sie eine Dicke von etwa 200 Å bis 1500 Å aufweist, und ein PECVD-(plasmagestützte chemische Dampfabscheidung) -Verfahren kann verwendet werden, um vorsätzlich eine schlechte Stufenüberdeckung vorzusehen. Diese Materialschicht ist vorgesehen, um den Verlust der Gatemaske während des Schritts des Ätzens der Ätzstoppsschicht zwischen den Gatestapeln zu kompensieren, wodurch die Stufe zwischen den Gatestapeln minimiert wird.

Danach werden die Materialschicht und die Ätzstoppsschicht zwischen den Gatestapeln rückgeätzt, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden.

Eine leitfähige Schicht, die vorzugsweise aus einer Polysiliziumschicht besteht, wird in der selbstpositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht mit einer Dicke von etwa 3000 Å bis 7000 Å ausgebildet. Planarisierungsätzen, wie z. B. CMP oder Rückätzen, wird auf der leitfähigen Schicht und der dielektrischen Zwischenschicht durchgeführt, bis eine obere Oberfläche des Gatestapels, d. h. der Gatemaske aus der Nitridschicht, freigelegt ist, um dadurch Kontaktstellen auszubilden, d. h. jeweils eine Bitleitungskontaktstelle und eine Speicherknotenkontaktstelle auszubilden.

Bei dem Ätzschritt zur Ausbildung der selbstpositionierenden Kontaktöffnung kann die Gatemaske verlorengehen, und folglich besteht die Möglichkeit der Entstehung einer Mehrfachader. Daher kann Naßätzen oder Trockenätzen auf einer oberen Oberfläche der Kontaktstellen weiter durchgeführt werden, um die Mehrfachader zu entfernen und dadurch eine Brücke zwischen der Bitleitungskontaktstelle und der Speicherknotenkontaktstelle zu verhindern. Das Naßätzen kann SC1 (ein Gemisch aus NH_3 , H_2O_2 und entionisiertem Wasser) verwenden und das Trockenätzen kann eine auf Chlor basierende Gaschemie verwenden.

Ausführungsbeispiele der Erfindung werden nachfolgend anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1 eine Draufsicht, die eine SAC-Kontaktstellenstruktur gemäß dem herkömmlichen Verfahren zeigt;

Fig. 2A bis Fig. 2B Ablaufdiagramme, die die Verfahrensschritte zur Ausbildung des selbstpositionierenden Kontakts zeigen, wobei sie Querschnittsansichten entlang der Linie A-A' von Fig. 1 darstellen;

Fig. 3A bis Fig. 3G Draufsichten, die die Verfahrensschritte eines neuen Verfahrens zur Ausbildung eines selbstpositionierenden Kontakts gemäß einer Ausführungsform der Erfindung zeigen;

Fig. 4A bis Fig. 4G Ablaufdiagramme, die die Verfah-

rensschritte zur Ausbildung des selbstpositionierenden Kontakts zeigen, wobei sie Querschnittsansichten jeweils entlang der Linie B-B' von Fig. 3A bis Fig. 3G darstellen; und

Fig. 5A bis Fig. 5E Ablaufdiagramme, die die Verfahrensschritte zur Ausbildung des selbstpositionierenden Kontakts gemäß einer weiteren Ausführungsform der Erfindung zeigen.

Die bevorzugte Ausführungsform der vorliegenden Erfindung wird nun mit Bezug auf die zugehörigen Zeichnungen, 10 Fig. 3 bis Fig. 5, beschrieben. In Fig. 4A bis Fig. 4G sind dieselben Funktionsteile, wie in Fig. 3A bis Fig. 3G gezeigt, mit gleichen Bezugsziffern gekennzeichnet.

Fig. 3A bis Fig. 3G sind Draufsichten, die die Verfahrensschritte eines neuen Verfahrens zur Ausbildung eines selbstpositionierenden Kontakts gemäß einer Ausführungsform der vorliegenden Erfindung zeigen, und Fig. 4A bis Fig. 4G sind Ablaufdiagramme, die die Verfahrensschritte zur Ausbildung des selbstpositionierenden Kontakts zeigen, wobei sie Querschnittsansichten jeweils entlang der Linie B-B' von Fig. 3A bis Fig. 3G sind. Mit Bezug auf Fig. 3A und Fig. 4A wird zuerst ein Bauelement-Isolationsbereich 102, d. h. eine Feldoxidschicht, auf dem vorbestimmten Bereich eines Halbleitersubstrats 100 ausgebildet, um einen aktiven Bereich 101 und einen inaktiven Bereich festzulegen. Der Bauelement-Isolationsbereich 102 kann durch ein beliebiges geeignetes Verfahren, das auf dem Fachgebiet gut bekannt ist, beispielsweise Flachgrabenisolation (STI) und Lokaloxidation von Silizium (LOCOS), ausgebildet werden. Der aktive Bereich 101 wird so ausgebildet, daß er aus der Draufsicht 15 die Gestalt einer langgestreckten Ellipse aufweist. Eine Gateoxidschicht (nicht dargestellt) wird durch ein herkömmliches Verfahren ausgebildet. Eine leitende Gateelektroden-schicht und eine isolierende Gatemaskenschicht werden auf die Gateoxidschicht laminiert. Die leitende Gateelektroden-schicht wird im allgemeinen aus einer Polysiliziumschicht 20 ausgebildet oder mit Polysilizium- und Silizidschichten laminiert, so daß sie eine Dicke von etwa 2000 Å aufweist. Die Gatemaskenschicht wird aus einer Materialschicht ausgebildet, die ein Ätzselektivitätsverhältnis zur nachfolgenden dielektrischen Zwischenschicht 108 aufweist. Die Gatemaskenschicht wird aus einer Siliziumnitrid-Schicht (SiN) oder einer Siliziumoxidnitrid-Schicht (SiON) ausgebildet und besitzt eine Dicke von etwa 1000 Å bis 2000 Å.

Die auf dem Fachgebiet gut bekannte Photolithographie 25 wird auf der leitenden Elektroden-schicht und der Gatemaskenschicht durchgeführt, um dadurch eine Gateelektrodenstrukturlinie 104, d. h. eine Gatemaskenschicht 104b und eine Gateelektrode 104a, auszubilden. Hierin wird ein Durchgangsgate mit einem gebogenen Teil längs der Kante 30 des aktiven Bereichs ausgebildet, um den Abstand zwischen dem Gate zu erhöhen, wodurch die Verfahrenstoleranz des Ätzens des selbstpositionierenden Kontakts erhöht wird und das nicht-Öffnen eines Kontakts verringert wird.

Fremdionen mit niedriger Konzentration werden in den 35 aktiven Bereich in dem Halbleitersubstrat 100 auf beiden Seiten außerhalb der Gateelektrodenstruktur 104 implantiert, um dadurch eine Source/Drain-Zone mit niedriger Konzentration für eine LDD-(schwach dotierter Drain) - Struktur auszubilden.

Mit Bezug auf Fig. 3B und Fig. 4B wird eine Isolations-schicht für eine Gateabstandsschicht 105 so ausgebildet, daß sie eine Dicke von etwa 500 Å bis 1000 Å aufweist, und zur Ausbildung der Gateabstandsschicht 105 auf beiden Seiten-wänden der Gateelektrodenstruktur 104 rückgeätzt. Hierin 40 weist die Gateabstandsschicht 105 ebenfalls ein Ätzselektivitätsverhältnis bezüglich der nachfolgenden dielektrischen Zwischenschicht 108 auf und besteht aus einer Siliziumnitrid- und einer Siliziumoxidnitrid-Schicht. Anschließend

werden Fremdionen mit hoher Konzentration in den aktiven Bereich in dem Halbleitersubstrat 100 auf beiden Seiten außerhalb der Gateabstandsschicht 105 implantiert, um eine Source/Drain-Zone mit hoher Konzentration auszubilden, wodurch ein Transistor mit der LDD-Struktur ausgebildet wird.

Mit Bezug auf **Fig. 3C** und **Fig. 4C** wird eine dünne Schicht einer Ätzstoppsschicht 106 gegen das anschließende Ätzen des selbstpositionierenden Kontakts über dem Halbleitersubstrat 100, einschließlich des Transistors, mit einer Dicke von etwa 100 Å ausgebildet. Die Ätzstoppsschicht 106 besteht aus einer Nitridschicht, wie z. B. einer Siliziumnitrid-Schicht oder einer Siliziumoxidnitrid-Schicht, die ein Ätzselektivitätsverhältnis zur dielektrischen Zwischenschicht 108 aufweist. Die dielektrische Zwischenschicht 108 wird dann mit einer zur Bedeckung des Transistors ausreichenden Dicke von etwa 3000 Å bis 9000 Å abgeschieden. Die dielektrische Zwischenschicht kann aus einer durch chemische Dampfabscheidung (CVD) mit hochdichtem Plasma (HDP) gebildeten Oxidschicht, die gute Fülligenschaften ohne Bildung von Hohlräumen darin aufweist, ausgebildet werden. Die dielektrische Zwischenschicht wird dann planarisirt, um die Toleranz für den Photolithographieprozeß zu verbessern. Der Planarisierungsprozeß kann CMP (chemisch-mechanisches Polieren) oder Rückätzen verwenden und wird bis zur dielektrischen Zwischenschicht 108 hinab so durchgeführt, daß sie eine Dicke von etwa 500 Å bis 1000 Å von der oberen Oberfläche des Transistors aus, d. h. der Gatemaske 104b, aufweist.

Alternativ kann die Planarisierung bis zur oberen Oberfläche der Gatemaske 104b hinab durchgeführt werden. In diesem Fall wird eine weitere dielektrische Zwischenschicht erneut abgeschieden, so daß sie eine vorbestimmte Dicke, d. h. etwa 500 Å bis 1000 Å, aufweist.

Die nächste Prozeßsequenz ist für diese Erfindung entscheidend. Mit Bezug auf **Fig. 4D** wird eine Maskenstruktur 110, die vorzugsweise aus Photoresist besteht, über der planaren dielektrischen Zwischenschicht 108 ausgebildet. Die Photoresiststruktur 110 wird so ausgebildet, daß sie einen T-förmigen Öffnungsbereich 111 aufweist, der den aktiven Bereich 101 und einen Teil des inaktiven Bereichs freilegt, wie in **Fig. 3D** gezeigt. Der T-förmige Öffnungsbereich 111 legt nämlich gleichzeitig einen Bitleitungskontaktbereich (b) und einen Speicherknotenkontaktbereich (a) frei. Folglich kann das Ätzstopp-Phänomen, das bei dem Verfahren des Standes der Technik (das eine kreis- oder ellipsenförmige Öffnung aufweist, wie in **Fig. 1** dargestellt) angetroffen wird, vermieden werden, da der Öffnungsbereich durch die Maskenstruktur relativ groß ist. Andererseits ist der Öffnungsbereich relativ klein im Vergleich zu jenem von Y. Kohyama et al., so daß das Selektivitätsätzen für den selbstpositionierenden Kontakt gut ist.

In **Fig. 3E** und **Fig. 4E** wird die dielektrische Zwischenschicht 108 unter Verwendung der Photoresiststruktur 110 als Maske geätzt. Hierin wird der selbstpositionierende Kontakt durch Ätzen der dielektrischen Zwischenschicht 108 selektiv zu jeder der Gatemaske 104b, der Seitenwand-Gateabstandsschicht 105 und der Ätzstoppsschicht 106 geöffnet. Dann wird die Ätzstoppsschicht 106 zwischen den Transistoren entfernt, um dadurch eine selbstpositionierende Kontaktöffnung 111a auszubilden, die das Halbleitersubstrat 100 zwischen den Transistoren, d. h. den Bitleitungskontaktbereich (b) und den Speicherknotenkontaktbereich (a), freilegt.

Nach dem Entfernen der Photoresiststruktur 110 wird eine leitfähige Schicht 112 für die selbstpositionierende Kontaktstelle, wie z. B. eine Polysiliziumschicht, in der selbstpositionierenden Kontaktöffnung 111a und über der

dielektrischen Zwischenschicht 108 abgeschieden. Die leitfähige Schicht 112 wird so ausgebildet, daß sie eine Dicke von etwa 3000 Å bis 7000 Å aufweist. Der Planarisierungsprozeß, wie z. B. CMP oder Rückätzen, wird ausgeführt, bis eine obere Oberfläche der dielektrischen Zwischenschicht 108 freigelegt ist, wie in **Fig. 3F** und **Fig. 4F** gezeigt. Im Fall des CMP wird eine Aufschämmung zum Ätzen der Polysiliziumschicht verwendet.

Schließlich werden die dielektrische Zwischenschicht 108 und die Polysiliziumschicht 112 durch CMP planarisirt und die selbstpositionierende Bitleitungskontaktstelle 112b und Speicherknotenkontaktstelle 112a werden ausgebildet, wie in **Fig. 3G** und **Fig. 4G** gezeigt. Das CMP verwendet eine Aufschämmung für das Ätzen der Oxidschicht.

Bei dem Ätzschritt zur Ausbildung der selbstpositionierenden Kontaktöffnung 111a kann die Gatemaske 104b verlorengehen, und folglich besteht die Möglichkeit der Entstehung einer Mehrfachader. Daher kann Naßätzen oder Trockenätzen auf einer oberen Oberfläche der Kontaktstellen 112a und 112b weiter durchgeführt werden, um die Mehrfachader zu entfernen und dadurch eine Brücke zwischen der Bitleitungskontaktstelle 112b und der Speicherknotenkontaktstelle 112a zu verhindern. Das Naßätzen kann SC1 (ein Gemisch aus NH_3 , H_2O_2 und entionisiertem Wasser) verwenden und das Trockenätzen kann eine auf Chlor basierende Gaschemie verwenden.

Praktisch werden, wenn der Schritt der Ausbildung der selbstpositionierenden Kontaktöffnung direkt, nachdem der Planarisierungsprozeß bis zur oberen Oberfläche der Gatemaske hinab ausgeführt ist, durchgeführt wird, etwa 500 Å bis 900 Å der Gatemaske geätzt und dadurch wird die Stufe zwischen den Transistoren verursacht. Dies macht es schwierig, die Mehrfachader während des Schritts des Naß- oder Trockenätzens der Kontaktstellen zu entfernen.

Wie vorstehend beschrieben, wird jedoch gemäß dieser Erfindung der Planarisierungsprozeß so ausgeführt, daß die dielektrische Zwischenschicht 108 eine Dicke von etwa 500 Å bis 1000 Å von der oberen Oberfläche der Gatemaske 104b aus aufweist. Wenn der Planarisierungsprozeß bis zur oberen Oberfläche der Gatemaske 104b hinab ausgeführt wird, wird darauf eine weitere dielektrische Zwischenschicht mit einer Dicke von etwa 500 Å bis 1000 Å ausgebildet. Daher wird gemäß der vorliegenden Erfindung nur eine kleine Menge der Gatemaske 104b, etwa 200 Å, während des Schritts der Ausbildung der selbstpositionierenden Kontaktöffnung 111a geätzt. Daher können die guten Eigenschaften der Kontaktstellen ohne die Mehrfachader erhalten werden.

Fig. 5A bis **Fig. 5E** sind Ablaufdiagramme, die die Verfahrensschritte zur Ausbildung des selbstpositionierenden Kontakts gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigen.

Mit Bezug auf **Fig. 5A** wird ein Bauelement-Isolationsbereich 202, d. h. eine Feldoxidschicht, auf dem vorbestimmten Bereich eines Halbleitersubstrats 200 ausgebildet, um einen aktiven Bereich 201 und einen inaktiven Bereich festzulegen. Der Bauelement-Isolationsbereich 202 kann durch ein beliebiges geeignetes Verfahren, das auf dem Fachgebiet gut bekannt ist, beispielsweise Flachgrabenisolation (STI) und Lokaloxidation von Silizium (LOCOS), ausgebildet werden. Der aktive Bereich 201 wird so ausgebildet, daß er aus der Draufsicht die Gestalt einer langgestreckten Ellipse aufweist. Eine Gateoxidschicht (nicht dargestellt) wird durch ein herkömmliches Verfahren ausgebildet. Eine leitende Gateelektrodenschicht und eine isolierende Gatemaskenschicht werden auf die Gateoxidschicht laminiert. Die leitende Gateelektrodenschicht wird im allgemeinen aus einer Polysiliziumschicht ausgebildet oder mit Polysilizium-

und Silizidschichten laminiert, so daß sie eine Dicke von etwa 2000 Å aufweist. Die Gatemaskenschicht wird aus einer Materialschicht ausgebildet, die ein Ätzselektivitätsverhältnis zur nachfolgenden dielektrischen Zwischenschicht 208 aufweist. Die Gatemaskenschicht wird aus einer Siliziumnitrid-Schicht (SiN) oder einer Siliziumoxidnitrid-Schicht (SiON) ausgebildet und besitzt eine Dicke von etwa 1000 Å bis 2000 Å.

Die auf dem Fachgebiet gut bekannte Photolithographie wird auf der leitenden Elektrodenschicht und der Gatemaskenschicht durchgeführt, um dadurch eine Gateelektrodenstruktur 204, d. h. eine Gatemaskenschicht 204b und eine Gateelektrode 204a, auszubilden. Hierin wird ein Durchgangsgate mit einem gebogenen Teil längs der Kante des aktiven Bereichs ausgebildet, um den Abstand zwischen dem Gate zu erhöhen, wodurch die Verfahrenstoleranz des Ätzens des selbstpositionierenden Kontakts erhöht wird und das nicht-Öffnen eines Kontakts verringert wird. Fremdionen mit niedriger Konzentration werden in den aktiven Bereich in dem Halbleitersubstrat 200 auf beiden Seiten außerhalb der Gateelektrodenstruktur 204 implantiert, um dadurch eine Source/Drain-Zone mit niedriger Konzentration für eine LDD-(schwach dotierter Drain)-Struktur auszubilden. Eine Isolationsschicht für eine Gateabstandsschicht 205 wird so ausgebildet, daß sie eine Dicke von etwa 500 Å bis 1000 Å aufweist, und zur Ausbildung der Gateabstandsschicht 205 auf beiden Seitenwänden der Gateelektrodenstruktur 204 rückgeätzt. Hierin weist die Gateabstandsschicht 205 ebenfalls ein Ätzselektivitätsverhältnis bezüglich der nachfolgenden dielektrischen Zwischenschicht 208 auf und besteht aus einer Siliziumnitrid- und einer Siliziumoxidnitrid-Schicht. Anschließend werden Fremdionen mit hoher Konzentration in den aktiven Bereich in dem Halbleitersubstrat 200 auf beiden Seiten außerhalb der Gateabstandsschicht 205 implantiert, um eine Source/Drain-Zone mit hoher Konzentration auszubilden, wodurch ein Transistor mit der LDD-Struktur ausgebildet wird.

Eine dünne Schicht einer Ätzstoppsschicht 206 gegen das anschließende Ätzen des selbstpositionierenden Kontakts wird über dem Halbleitersubstrat 200, einschließlich des Transistors, mit einer Dicke von etwa 100 Å ausgebildet. Die Ätzstoppsschicht 206 besteht aus einer Nitridschicht, wie z. B. einer Siliziumnitrid-Schicht oder einer Siliziumoxidnitrid-Schicht, die ein Ätzselektivitätsverhältnis zur dielektrischen Zwischenschicht 208 aufweist. Die dielektrische Zwischenschicht 208 wird dann mit einer zur Bedeckung des Transistors ausreichenden Dicke von etwa 3000 Å bis 9000 Å abgeschieden. Die dielektrische Zwischenschicht kann aus einer durch chemische Dampfabscheidung (CVD) mit hochdichtetem Plasma (HDP) gebildeten Oxidschicht, die gute Fülligenschaften ohne Bildung von Hohlräumen darin aufweist, ausgebildet werden. Die dielektrische Zwischenschicht 208 wird dann planarisiert, um die Toleranz für den Photolithographieprozeß zu verbessern. Der Planarisierungsprozeß kann CMP (chemisch-mechanisches Polieren) oder Rückätzen verwenden und wird bis zur dielektrischen Zwischenschicht 208 hinab so durchgeführt, daß sie eine Dicke von etwa 500 Å bis 1000 Å von der oberen Oberfläche des Transistors aus, d. h. der Gatemaske 204b, aufweist.

Alternativ kann die Planarisierung bis zur oberen Oberfläche der Gatemaske 204b hinab durchgeführt werden. In diesem Fall wird eine weitere dielektrische Zwischenschicht erneut abgeschieden, so daß sie eine vorbestimmte Dicke, d. h. etwa 500 Å bis 1000 Å, aufweist.

Mit Bezug auf Fig. 5B wird eine Maskenstruktur 210, die vorzugsweise aus Photoresist besteht, über der planaren dielektrischen Zwischenschicht 208 ausgebildet. Die Photoresiststruktur 210 wird so ausgebildet, daß sie einen T-förmigen

Öffnungsbereich 211 aufweist, der den aktiven Bereich 201 und einen Teil des inaktiven Bereichs freilegt, wie in Fig. 4D gezeigt. Der T-förmige Öffnungsbereich 211 legt nämlich gleichzeitig einen Bitleitungskontaktbereich und einen Speicherknotenkontaktbereich frei. Folglich kann das Ätzstopp-Phänomen, das bei dem Verfahren des Standes der Technik (das eine kreis- oder ellipsenförmige Öffnung aufweist, wie in Fig. 1 dargestellt) angetroffen wird, vermieden werden, da der Öffnungsbereich durch die Maskenstruktur relativ groß ist. Andererseits ist der Öffnungsbereich relativ klein im Vergleich zu jenem von Y. Kohyama et al., so daß das Selektivitätsatzen für den selbstpositionierenden Kontakt gut ist.

Mit Bezug auf Fig. 5C wird die dielektrische Zwischenschicht 208 unter Verwendung der Photoresiststruktur 210 als Maske geätzt und dadurch wird eine selbstpositionierende Kontaktöffnung 211a ausgebildet. Der selbstpositionierende Kontakt wird durch Ätzen der dielektrischen Zwischenschicht 208 selektiv zu jeder der Gatemasken 204b, der Seitenwand-Gateabstandsschicht 205 und der Ätzstoppsschicht 206 geöffnet. Während dieses selbstpositionierenden Ätzschritts kann die obere Oberfläche des Transistors, d. h. die Gatemaske 204b, geätzt werden aufgrund der Stufe zwischen der oberen Oberfläche des Transistors und dem an den Transistor angrenzenden Bodenteil. Folglich wird eine größere Menge der Isolationsschicht auf dem oberen Teil des Transistors als dem an den Transistor angrenzenden Bodenteil geätzt. Dies kann zu einem Unterschied in der Höhe des Transistors führen und es dadurch schwierig machen, die Planarisierung der nachfolgenden leitfähigen Schicht durchzuführen.

Aus diesem Grund wird eine Materialschicht 220 zur Kompensation des Verlusts der Gatemaske 204b über der resultierenden Struktur abgeschieden, wie in Fig. 5D gezeigt. Folglich muß die Kompensationsmaskenschicht 220 auf einem oberen Teil des Transistors und der dielektrischen Zwischenschicht 208 in einer größeren Menge abgeschieden werden als auf dem an den Transistor angrenzenden Bodenraum. Für diesen Zweck kann die Siliziumnitrid-Schicht oder die Siliziumoxidnitrid-Schicht durch plasmagestützte chemische Dampfabscheidung abgeschieden werden. Die Kompensationsmaske 220 wird so abgeschieden, daß sie eine Dicke von etwa 200 Å bis 1500 Å aufweist.

Danach, wie in Fig. 5E gezeigt, werden die Ätzstoppsschicht 206 und die Kompensationsmaskenschicht 220 durch einen Rückätzprozeß entfernt, um dadurch den Bitleitungskontaktbereich und den Speicherknotenkontaktbereich zwischen den Transistoren freizulegen. Die nächsten Verfahrenssequenzen sind dieselben wie bei der ersten Ausführungsform, welche in Fig. 4F bis Fig. 4G dargestellt sind. Es wird nämlich eine leitfähige Schicht (nicht dargestellt) für die selbstpositionierende Kontaktstelle, wie z. B. eine Polysiliziumschicht, in der selbstpositionierenden Kontaktöffnung 211a und über der dielektrischen Zwischenschicht 208 abgeschieden. Die leitfähige Schicht wird so ausgebildet, daß sie eine Dicke von etwa 3000 Å bis 7000 Å aufweist. Der Planarisierungsprozeß, wie z. B. CMP oder Rückätzen, wird durchgeführt, bis eine obere Oberfläche der dielektrischen Zwischenschicht 208 freigelegt ist. Im Fall des CMP wird eine Aufschlämmung für das Ätzen der Polysiliziumschicht verwendet.

Schließlich werden die dielektrische Zwischenschicht 208 und die Polysiliziumschicht durch CMP planarisiert und die selbstpositionierende Bitleitungskontaktstelle und Speicherknotenkontaktstelle werden ausgebildet. Das CMP verwendet eine Aufschlämmung für das Ätzen der Oxidschicht.

Wie aus der Erläuterung selbstverständlich ist, werden gemäß der vorliegenden Erfindung ein Bitleitungskontakt-

bereich und ein Speicherknotenkontaktbereich durch die Verwendung einer Photoresistschicht-Struktur, die einen T-förmigen Öffnungsbereich aufweist, gleichzeitig freigelegt. Daher kann das Ätzstopp-Phänomen vermieden werden und die Ätzselektivität der dielektrischen Zwischenschicht zu der Gatemaske und der Abstandsschicht kann verbessert werden. Ferner werden vollständig reproduzierbare selbstpositionierende Kontaktstellen mit guter Zuverlässigkeit ausgebildet.

Obwohl diese Erfindung speziell mit Bezug auf deren bevorzugte Ausführungsformen gezeigt und beschrieben wurde, wird es für Fachleute selbstverständlich sein, daß verschiedene Änderungen an der Form und den Einzelheiten vorgenommen werden können, ohne vom Gedanken und Schutzbereich dieser Erfindung abzuweichen.

Patentansprüche

1. Verfahren zur Ausbildung eines selbstpositionierenden Kontakts in einem Halbleiterbauelement mit einem Halbleitersubstrat, einer Bauelement-Isolationsschicht, die auf dem Halbleitersubstrat ausgebildet wird, um aktive und inaktive Bereiche festzulegen, und einem Transistor, der auf den aktiven und inaktiven Bereichen ausgebildet wird, wobei der Transistor aus einer Gateelektrode, einer Gatemaske darauf und einer Seitenwand-Gateabstandsschicht ausgebildet wird, wobei das Verfahren die Schritte umfaßt:

Ausbilden einer Ätzstoppsschicht über dem Halbleitersubstrat und über dem Transistor;
Ausbilden einer dielektrischen Zwischenschicht über der Ätzstoppsschicht, wobei die dielektrische Zwischenschicht eine planare obere Oberfläche aufweist;
Ausbilden einer Maskenstruktur über der dielektrischen Zwischenschicht, so daß der aktive Bereich und ein Teil des inaktiven Bereichs freigelegt wird, wobei die Maskenstruktur einen T-förmigen Öffnungsbereich aufweist;

aufeinanderfolgendes Ätzen der dielektrischen Zwischenschicht und der Ätzstoppsschicht unter Verwendung der Maskenstruktur, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden, die eine obere Oberfläche des Halbleitersubstrats freilegt;
Entfernen der Maskenstruktur;

Ausbilden einer leitfähigen Schicht in der selbstpositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht; und
Planarisierungsätsen der leitfähigen Schicht und der dielektrischen Zwischenschicht, bis eine obere Oberfläche der Gatemaske freigelegt ist, um dadurch mindestens zwei Kontaktstellen auszubilden.

2. Verfahren nach Anspruch 1, wobei die Gatemaske, die Seitenwand-Gateabstandsschicht und die Ätzstoppsschicht jeweils aus einem Isolatormaterial mit einem Ätzselektivitätsverhältnis zur dielektrischen Zwischenschicht besteht.

3. Verfahren nach Anspruch 2, wobei das Isolatormaterial aus einem besteht, das aus einer Gruppe ausgewählt ist, die aus SiN und SiON besteht.

4. Verfahren nach Anspruch 1 oder 2, wobei die Gatemaske eine Dicke im Bereich von etwa 1000 Å bis 2000 Å aufweist, die Seitenwand-Gateabstandsschicht eine Dicke im Bereich von etwa 500 Å bis 1000 Å aufweist und die Ätzstoppsschicht eine Dicke von etwa 100 Å aufweist.

5. Verfahren nach Anspruch 1, wobei die Gatemaske, die Seitenwand-Gateabstandsschicht und die Ätzstoppsschicht während des Schritts des Ätzens der dielektrischen

schen Zwischenschicht jeweils als Ätzstoppsschicht dient.

6. Verfahren nach Anspruch 1, wobei die dielektrische Zwischenschicht eine Dicke im Bereich von etwa 3000 Å bis 9000 Å aufweist und die leitfähige Schicht eine Dicke im Bereich von etwa 3000 Å bis 7000 Å aufweist.

7. Verfahren nach Anspruch 1, wobei der T-förmige Öffnungsbereich ein gemischter Kontaktbereich ist, der mindestens zwei Kontaktbereiche einschließt.

8. Verfahren nach Anspruch 1, wobei der Schritt des Planarisierungsätsen durch eines durchgeführt wird, das aus einer Gruppe ausgewählt ist, die aus einem CMP-Verfahren, einem Rückätzverfahren und einer Kombination davon besteht.

9. Verfahren nach Anspruch 1, das ferner nach dem Schritt des Planarisierungsätsen das Ätzen eines oberen Oberflächenteils der Kontaktstellen umfaßt.

10. Verfahren nach Anspruch 9, wobei der Schritt des Ätzens eines oberen Oberflächenteils der Kontaktstellen durch eines durchgeführt wird, das aus einer Gruppe ausgewählt ist, die aus Naßätz- und Trockenätzverfahren besteht, um eine leitende Ader zwischen den Kontaktstellen zu entfernen.

11. Verfahren zur Ausbildung eines selbstpositionierenden Kontakts in einem Halbleiterbauelement mit einem Halbleitersubstrat, einer Bauelement-Isolationsschicht, die auf dem Halbleitersubstrat ausgebildet wird, um aktive und inaktive Bereiche festzulegen, und einem Transistor, der auf den aktiven und inaktiven Bereichen ausgebildet wird, wobei der Transistor aus einer Gateelektrode, einer Gatemaske darauf und einer Seitenwand-Gateabstandsschicht ausgebildet wird, wobei das Verfahren die Schritte umfaßt:

Ausbilden einer Ätzstoppsschicht über dem Halbleitersubstrat und über dem Transistor;
Ausbilden einer ersten dielektrischen Zwischenschicht über der Ätzstoppsschicht;

Planarisierungsätsen der ersten dielektrischen Zwischenschicht, bis eine obere Oberfläche der Gatemaske freigelegt ist;

Ausbilden einer zweiten dielektrischen Zwischenschicht über der ersten dielektrischen Zwischenschicht; Ausbilden einer Maskenstruktur über der zweiten dielektrischen Zwischenschicht, so daß der aktive Bereich und ein Teil des inaktiven Bereichs freigelegt wird, wobei die Maskenstruktur einen T-förmigen Öffnungsbereich aufweist;

aufeinanderfolgendes Ätzen der zweiten dielektrischen Zwischenschicht, der ersten dielektrischen Zwischenschicht und der Ätzstoppsschicht unter Verwendung der Maskenstruktur, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden, die eine obere Oberfläche des Halbleitersubstrats freilegt;

Entfernen der Maskenstruktur;
Ausbilden einer leitfähigen Schicht in der selbstpositionierenden Kontaktöffnung und über der zweiten dielektrischen Zwischenschicht; und

Planarisierungsätsen der leitfähigen Schicht und der zweiten dielektrischen Zwischenschicht, bis eine obere Oberfläche der Gatemaske freigelegt ist, um dadurch mindestens zwei Kontaktstellen auszubilden.

12. Verfahren nach Anspruch 11, das ferner nach dem Schritt des Planarisierungsätsen der leitfähigen Schicht und der zweiten dielektrischen Zwischenschicht das Ätzen eines oberen Oberflächenteils der Kontaktstellen umfaßt.

13. Verfahren nach Anspruch 12, wobei der Schritt des

Ätzen eines oberen Oberflächenteils der Kontaktstellen durch eines durchgeführt wird, das aus einer Gruppe ausgewählt ist, die aus Naßätz- und Trockenätzverfahren besteht, um eine leitende Ader zwischen den Kontaktstellen zu entfernen.

14. Verfahren zur Ausbildung eines selbstpositionierenden Kontakts in einem Halbleiterbauelement mit einem Halbleitersubstrat, einer Vielzahl von auf dem Halbleitersubstrat ausgebildeten Leiterstrukturen und einer Verkappungsschicht, die jede der Leiterstrukturen überzieht, wobei das Verfahren die Schritte umfaßt:

Ausbilden einer dielektrischen Zwischenschicht über dem Halbleitersubstrat und den Leiterstrukturen, wobei die dielektrische Zwischenschicht eine planare obere Oberfläche aufweist;

Ausbilden einer Maskenstruktur über der dielektrischen Zwischenschicht, wobei die Maskenstruktur einen Öffnungsbereich aufweist, der mindestens zwei Kontaktbereiche einschließt;

Ätzen der dielektrischen Zwischenschicht unter Verwendung der Maskenstruktur, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden, die eine obere Oberfläche des Halbleitersubstrats freilegt; Entfernen der Maskenstruktur;

Ausbilden einer leitfähigen Schicht in der selbstpositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht; und

Planarisierungsätzten der leitfähigen Schicht und der dielektrischen Zwischenschicht, bis eine obere Oberfläche der Verkappungsschicht freigelegt ist, um dadurch mindestens zwei Kontaktstellen auszubilden.

15. Verfahren nach Anspruch 14, das ferner nach dem Schritt des Planarisierungsätzten der leitfähigen Schicht und der dielektrischen Zwischenschicht das Ätzen eines oberen Oberflächenteils der Kontaktstellen umfaßt.

16. Verfahren nach Anspruch 15, wobei der Schritt des Ätzens eines oberen Oberflächenteils der Kontaktstellen durch eines durchgeführt wird, das aus einer Gruppe ausgewählt ist, die aus Naßätz- und Trockenätzverfahren besteht, um eine leitende Ader zwischen den Kontaktstellen zu entfernen.

17. Verfahren zur Ausbildung eines selbstpositionierenden Kontakts in einem Halbleiterbauelement mit einem Halbleitersubstrat, einer Bauelement-Isolationschicht, die auf dem Halbleitersubstrat ausgebildet wird, um aktive und inaktive Bereiche festzulegen, und einem Transistor, der auf den aktiven und inaktiven Bereichen ausgebildet wird, wobei der Transistor aus einer Gateelektrode, einer Gatemaske darauf und einer Seitenwand-Gateabstandsschicht ausgebildet wird, wobei das Verfahren die Schritte umfaßt:

Ausbilden einer Ätzstoppsschicht über dem Halbleitersubstrat und über dem Transistor;

Ausbilden einer dielektrischen Zwischenschicht über der Ätzstoppsschicht, wobei die dielektrische Zwischenschicht eine planare obere Oberfläche aufweist; Ausbilden einer Maskenstruktur über der dielektrischen Zwischenschicht, so daß der aktive Bereich und ein Teil des inaktiven Bereichs freigelegt wird, wobei die Maskenstruktur einen T-förmigen Öffnungsbereich aufweist;

Ätzen der dielektrischen Zwischenschicht unter Verwendung der Maskenstruktur, bis eine obere Oberfläche der Ätzstoppsschicht zwischen dem Transistor und benachbarten Transistoren freigelegt ist;

Entfernen der Maskenstruktur;

Ausbilden einer Kompensationsmaskenschicht über

dem Transistor und über der dielektrischen Zwischenschicht, wobei die Kompensationsmaskenschicht auf einem oberen Teil des Transistors und der dielektrischen Zwischenschicht in einer größeren Menge abgeschieden wird als auf dem an den Transistor angrenzenden Bodenraum; und

Ätzen der Kompensationsmaskenschicht und der Ätzstoppsschicht, bis eine obere Oberfläche des an den Transistor angrenzenden Halbleitersubstrats freigelegt ist, um dadurch eine selbstpositionierende Kontaktöffnung auszubilden.

18. Verfahren nach Anspruch 17, wobei die Gatemaske, die Seitenwand-Gateabstandsschicht und die Ätzstoppsschicht jeweils aus einem Isolatormaterial mit einem Ätzselektivitätsverhältnis zur dielektrischen Zwischenschicht besteht.

19. Verfahren nach Anspruch 18, wobei das Isolatormaterial aus einem besteht, das aus einer Gruppe ausgewählt ist, die aus SiN und SiON besteht.

20. Verfahren nach Anspruch 17, wobei die Gatemaske, die Gateabstandsschicht und die Ätzstoppsschicht während des Schritts des Ätzens der dielektrischen Zwischenschicht jeweils als Ätzstoppsschicht dient.

21. Verfahren nach Anspruch 17, wobei der T-förmige Öffnungsbereich aus einem gemischten Kontaktbereich besteht, der mindestens zwei Kontaktbereiche einschließt.

22. Verfahren nach Anspruch 17, wobei die Kompensationsmaskenschicht aus einem besteht, das aus einer Gruppe ausgewählt ist, die aus SiN und SiON besteht.

23. Verfahren nach Anspruch 17, wobei die Kompensationsmaskenschicht durch ein solches Abscheidungsverfahren bereitgestellt wird, daß die Kompensationsmaskenschicht eine schlechte Stufenüberdeckung aufweist, wobei das Abscheidungsverfahren ein PECVD-Verfahren umfaßt.

24. Verfahren nach Anspruch 17, wobei die Kompensationsmaskenschicht so ausgebildet wird, daß sie eine Dicke im Bereich von etwa 200 Å bis 1500 Å aufweist.

25. Verfahren nach Anspruch 17, das ferner nach dem Schritt des Ätzens der Kompensationsmaskenschicht und der Ätzstoppsschicht das Ausbilden einer leitfähigen Schicht in der selbstpositionierenden Kontaktöffnung und über der dielektrischen Zwischenschicht; und Planarisierungsätzten der leitfähigen Schicht und der isolierenden Zwischenschicht, bis eine obere Oberfläche der Kompensationsmaskenschicht freigelegt ist, umfaßt, um dadurch mindestens zwei Kontaktstellen auszubilden.

Hierzu 12 Seite(n) Zeichnungen

Fig. 1

(Stand der Technik)

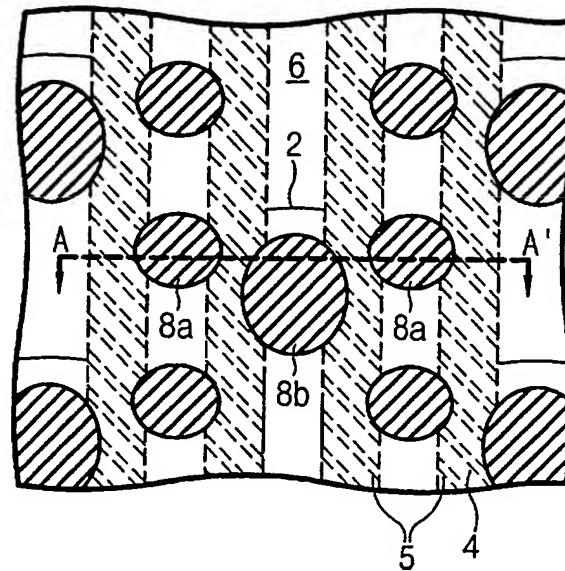


Fig. 2A

(Stand der Technik)

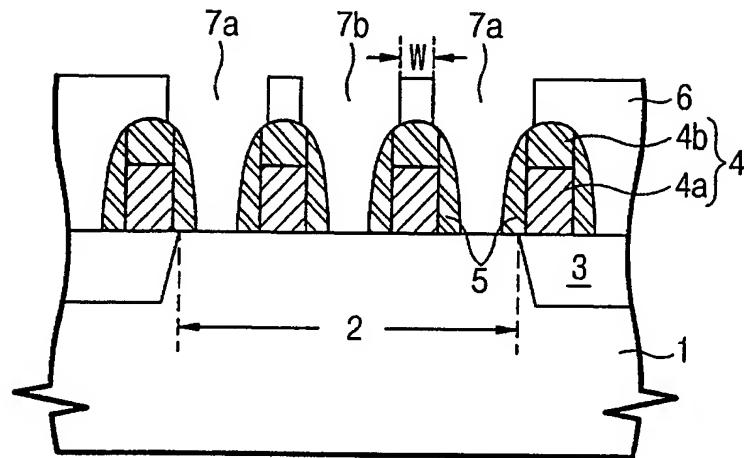


Fig. 2B

(Stand der Technik)

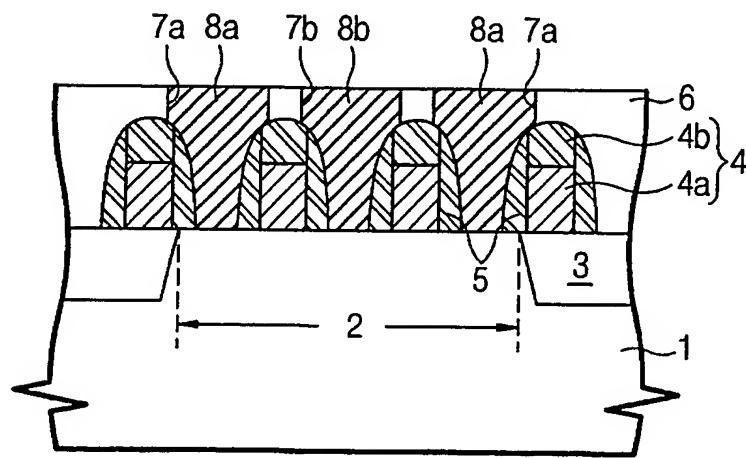


Fig.3A

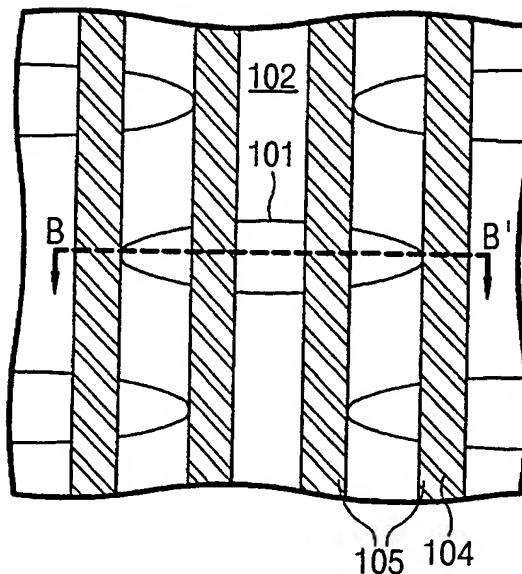


Fig.3B

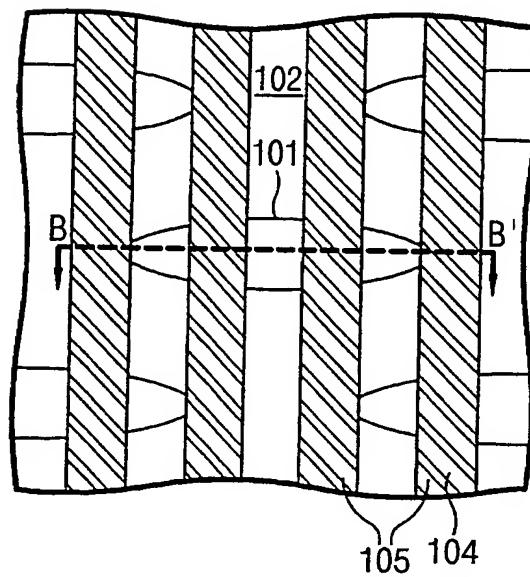


Fig.3C

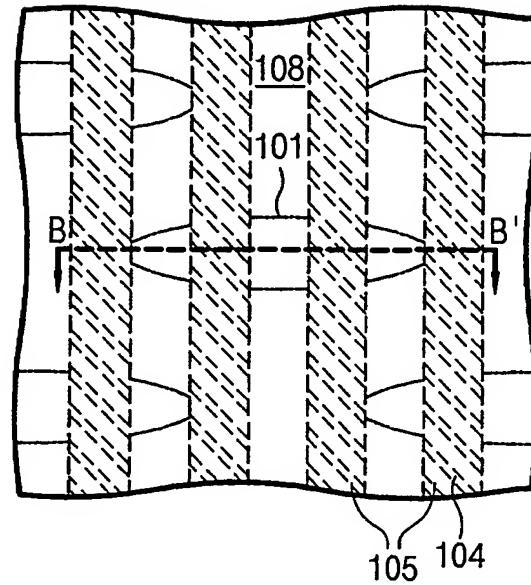


Fig.3D

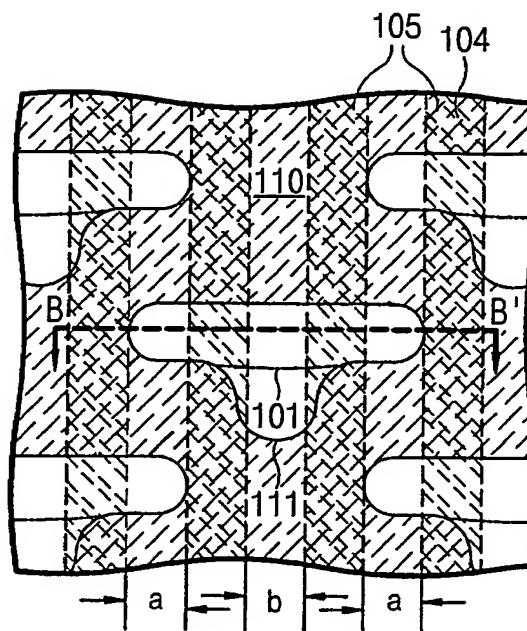


Fig.3E

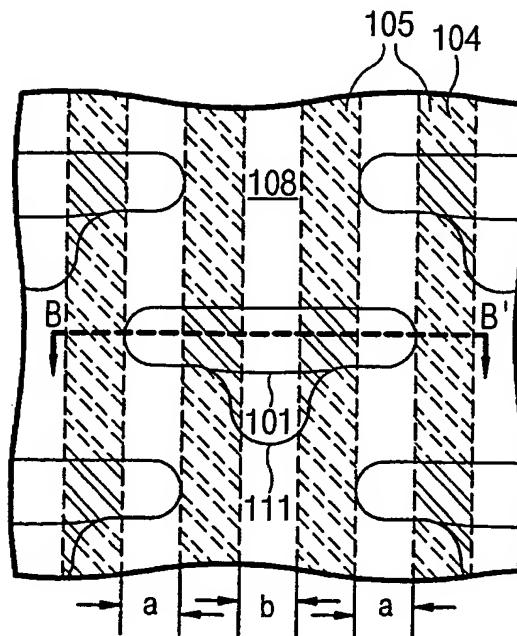


Fig.3F

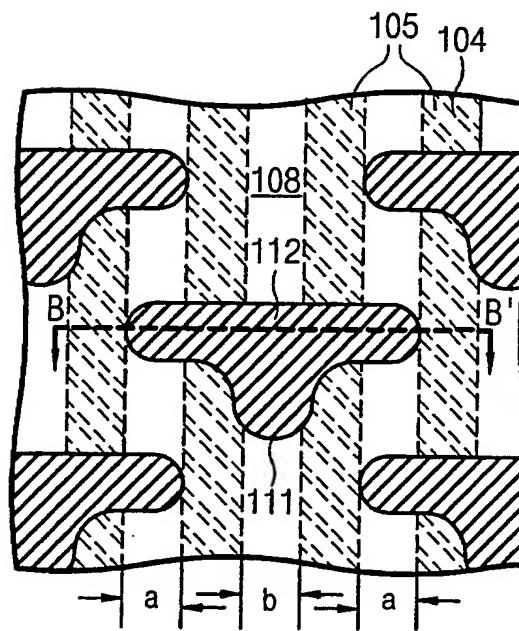


Fig.3G

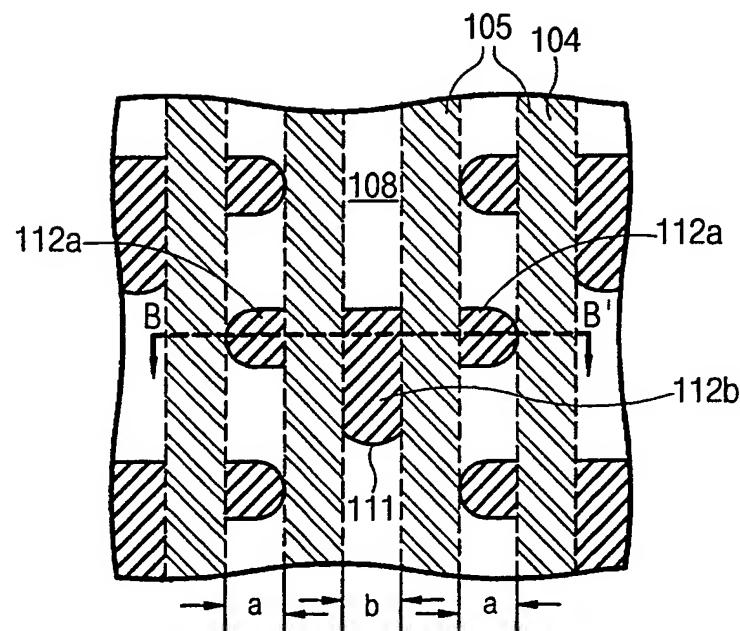


Fig.4A

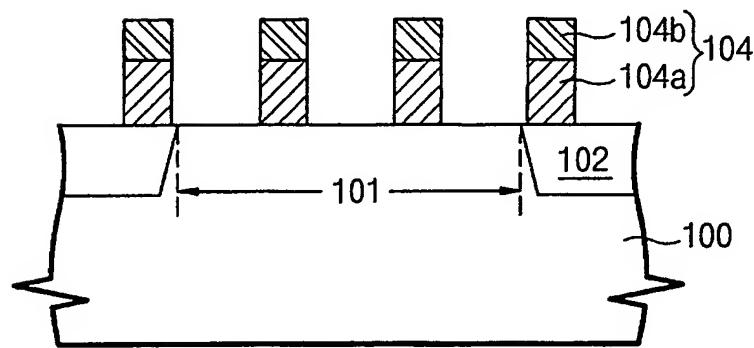


Fig.4B

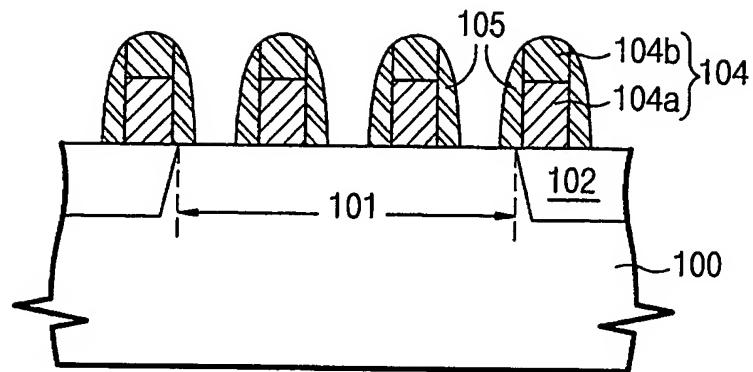


Fig.4C

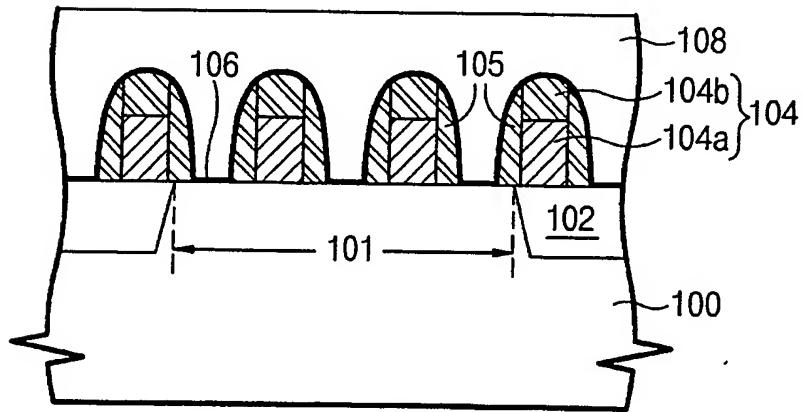


Fig.4D

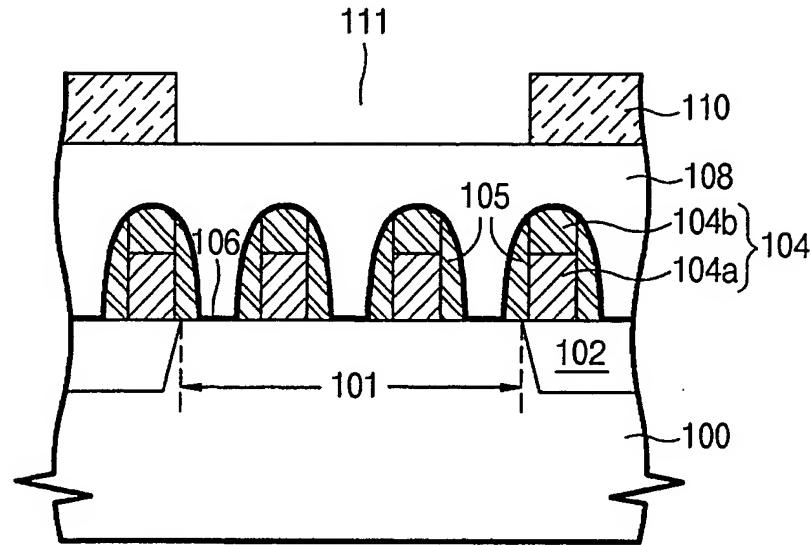


Fig.4E

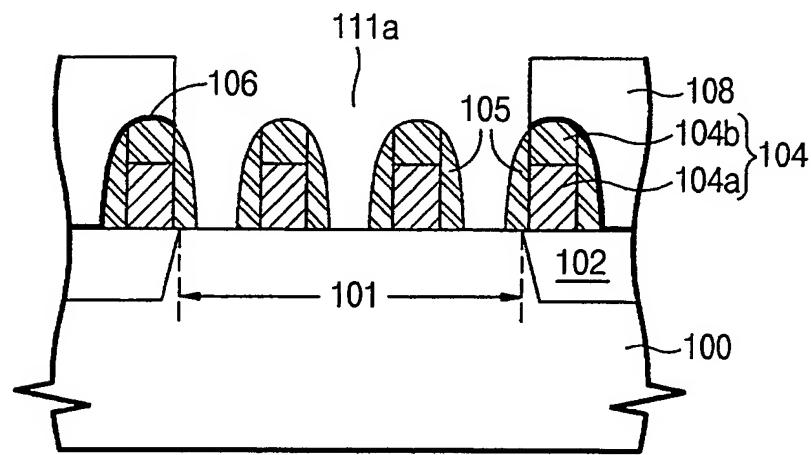


Fig.4F

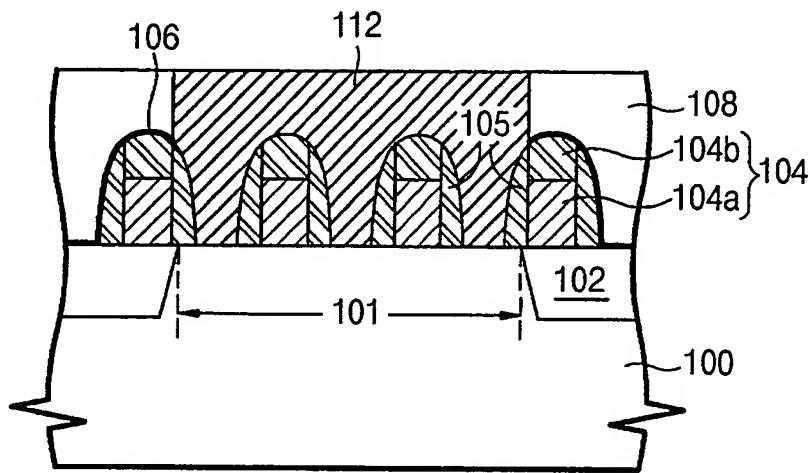


Fig.4G

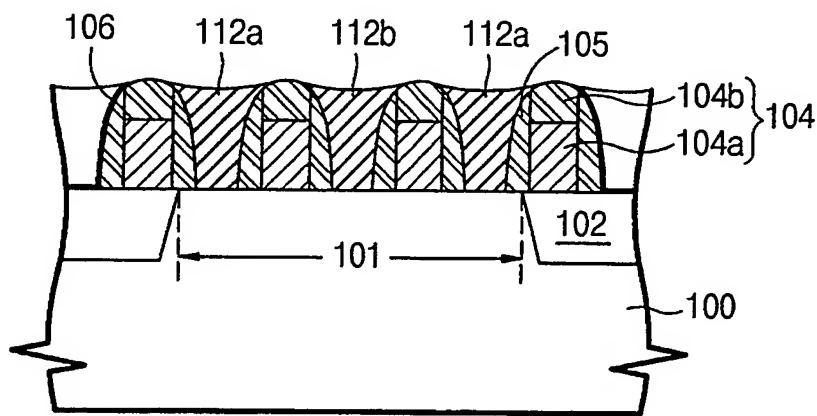


Fig.5A

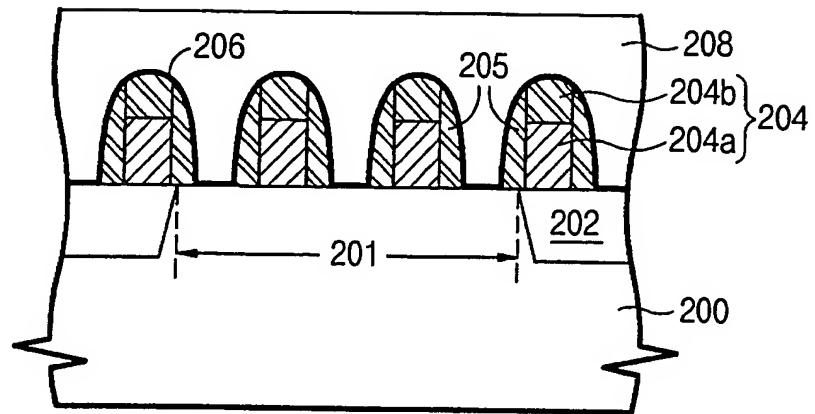


Fig.5B

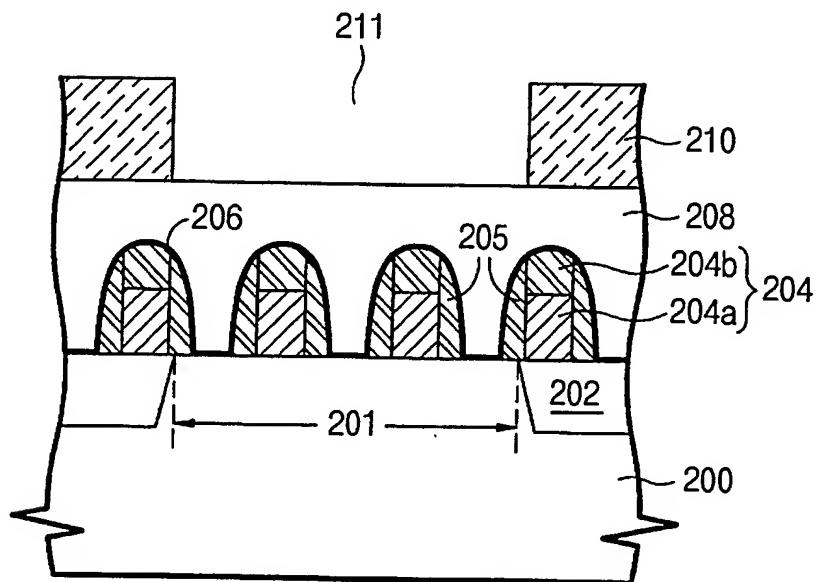


Fig.5C

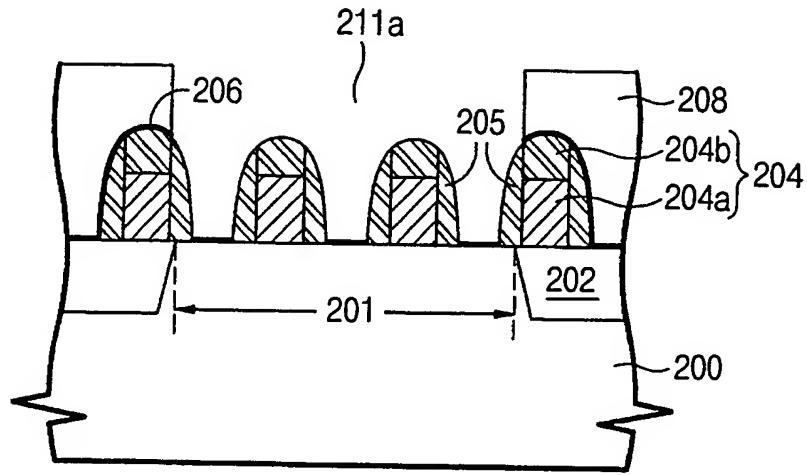


Fig.5D

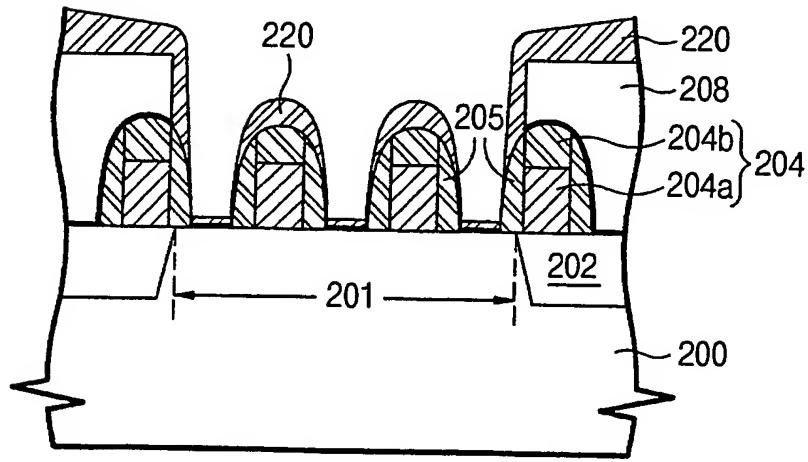


Fig.5E

